

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-291821

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60
H01L 23/12
H01L 23/50
H01L 23/52

(21)Application number : 2000-106035

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.04.2000

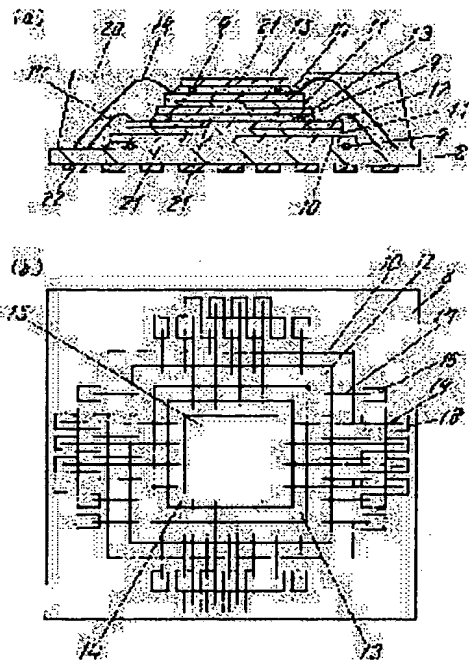
(72)Inventor : FUJIMOTO HIROAKI
NOMURA TORU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that coping with a multifunctional semiconductor device, coping with a future multimode semiconductor component, reducing the number of components in a mounting device, and coping with miniaturization and weight reduction of an electronic apparatus which are caused by reducing the number of components are impossible, in the case of one-chip structure.

SOLUTION: This semiconductor device is provided with a first semiconductor element 10 connected with an insulating substrate 8 via bump electrodes 9, a first laminate composed of a second semiconductor element 12 and a third semiconductor element 13 on the first element 10, and a second laminate composed of a fourth semiconductor element 14 and a fifth semiconductor element 15. The first laminate and the second laminate are connected with electrodes on the upper surface of the insulating substrate 8 by using thin metal wires. The outer peripheral part of the upper surface of the insulating substrate 8 is sealed with sealing resin 20. By the structure wherein the laminates are three-dimensionally laminated and mounted, multifunction and high density can be realized.



LEGAL STATUS

[Date of request for examination]

17.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291821

(P2001-291821A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーム* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/07		23/50	W 5 F 0 6 7
25/18		25/08	B
21/60	3 1 1	23/12	L
23/12		23/52	C

審査請求 未請求 請求項の数16 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-106035(P2000-106035)

(22) 出願日 平成12年4月7日 (2000. 4. 7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤本 博昭

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 野村 徹

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5F044 KK05 LL01

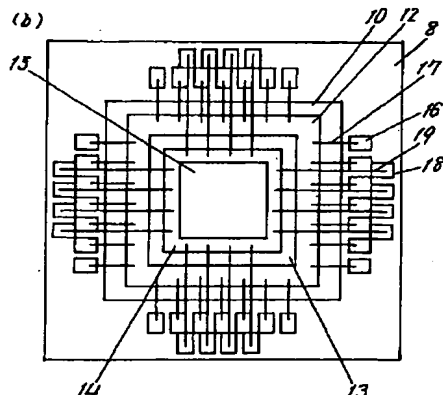
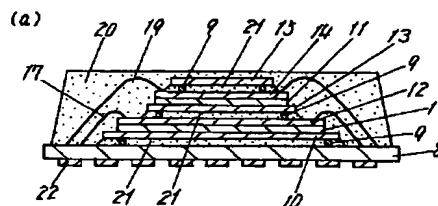
5F067 AA02 AB03 DA07

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 1チップ構造の場合、多機能の半導体装置に対応できず、今後の多様化する半導体装置部品への対応、搭載装置での部品点数の低減とそれによる電子機器の小型化、軽量化に対応できない。

【解決手段】 絶縁性基板8に対してバンパ電極9により接続された第1の半導体素子10と、その上部に第2の半導体素子12と第3の半導体素子13とによる第1の積層体と、さらに第4の半導体素子14と第5の半導体素子15とによる第2の積層体とを有し、第1の積層体、第2の積層体と絶縁性基板8上面の電極とが各々金属細線で接続され、絶縁性基板8の上面の外囲が封止樹脂20で封止された半導体装置であり、積層体を各々三次元で積層実装した構造により、多機能かつ高密度を実現できる。



【特許請求の範囲】

【請求項1】 絶縁性基板に対して電気的に接続された第1の半導体素子と、少なくとも、前記第1の半導体素子の上部に接着された第2の半導体素子と第3の半導体素子とによる第1の積層体と、前記第1の積層体の前記第3の半導体素子の上部に接着された第4の半導体素子と第5の半導体素子とによる第2の積層体と、前記第1の積層体と前記絶縁性基板とを接続した第1の金属細線と、前記第2の積層体と前記絶縁性基板とを接続した第2の金属細線と、前記第1の積層体、第2の積層体の外囲を被覆した封止樹脂とよりなることを特徴とする半導体装置。

【請求項2】 絶縁性基板と第1の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在していることを特徴とする請求項1に記載の半導体装置。

【請求項3】 第1の積層体を構成している第2の半導体素子と第3の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在していることを特徴とする請求項1に記載の半導体装置。

【請求項4】 第2の積層体を構成している第4の半導体素子と第5の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在していることを特徴とする請求項1に記載の半導体装置。

【請求項5】 第1の金属細線は第2の金属細線よりも絶縁基板の内側に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 第1の構成体は、第3の半導体素子の主面がバンパ電極を介して第2の半導体素子の主面に接続された構成体であることを特徴とする請求項1に記載の半導体装置。

【請求項7】 第2の構成体は、第5の半導体素子の主面がバンパ電極を介して第4の半導体素子の主面に接続された構成体であることを特徴とする請求項1に記載の半導体装置。

【請求項8】 絶縁性基板は、回路構成された半導体用キャリアであって、その上面に複数の電極と配線パターンを有するとともに、前記電極と電気的に接続された外部電極をその底面に有していることを特徴とする請求項1に記載の半導体装置。

【請求項9】 第1の積層体と絶縁性基板とを接続した第1の金属細線は、前記第1の積層体の第2の半導体素子と絶縁性基板とを接続していることを特徴とする請求項1に記載の半導体装置。

【請求項10】 第2の積層体と絶縁性基板とを接続した第2の金属細線は、前記第2の積層体の第4の半導体素子と絶縁性基板とを接続していることを特徴とする請求項1に記載の半導体装置。

【請求項11】 第2の積層体の第5の半導体素子の上部には、さらに、第6の半導体素子と第7の半導体素子とによる第3の積層体が接着されていることを特徴とする

請求項1に記載の半導体装置。

【請求項12】 第1の半導体素子の上面の電極に対してバンパ電極を形成し、前記第1の半導体素子とそのバンパ電極を介して絶縁性基板に接続する工程と、第2の半導体素子の上面の電極に対して、第3の半導体素子の上面の電極に形成されたバンパ電極を接続して、第1の積層体を形成する工程と、第4の半導体素子の上面の電極に対して、第5の半導体素子の上面の電極に形成されたバンパ電極を接続して、第2の積層体を形成する工程と、絶縁性基板に接続した前記第1の半導体素子の上部に前記形成した第1の積層体を接着する工程と、前記第1の積層体の上部に前記形成した第2の積層体を接着する工程と、前記第1の積層体と前記絶縁性基板とを第1の金属細線で電気的に接続する工程と、前記第2の積層体と前記絶縁性基板とを第2の金属細線で電気的に接続する工程と、前記第1の積層体、第2の積層体を実装された絶縁性基板の上面を封止樹脂でそれらを被覆するように封止する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項13】 第1の半導体素子の上面の電極に対してバンパ電極を形成し、前記第1の半導体素子とそのバンパ電極を介して絶縁性基板に接続する工程では、第1の半導体素子と絶縁性基板との間隙に樹脂を介在させることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 第2の半導体素子の上面の電極に対して、第3の半導体素子の上面の電極に形成されたバンパ電極を接続して、第1の積層体を形成する工程では、第2の半導体素子と第3の半導体素子との間隙に樹脂を介在させることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 第4の半導体素子の上面の電極に対して、第5の半導体素子の上面の電極に形成されたバンパ電極を接続して、第2の積層体を形成する工程では、第4の半導体素子と第5の半導体素子との間隙に樹脂を介在させることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項16】 第1の積層体の上部に第2の積層体を接着する工程の後に、さらに第6の半導体素子の上面の電極に対して、バンパ電極により第7の半導体素子が接続された第3の積層体を接着する工程を有し、第2の積層体と絶縁性基板とを第2の金属細線で電気的に接続する工程の後に、第3の積層体と絶縁性基板とを第3の金属細線で電気的に接続する工程を有していることを特徴とする請求項12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体素子を1パッケージ内に有した多機能の半導体装置およびその製造方法に関するものであり、特に3チップ以上の多

機能積層型の半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来の半導体装置としては、半導体素子としてマイコンチップを用いて、支持体である半導体用キャリア上面にフリップチップ実装により接合し、間隙を封止樹脂で充填封止することにより高密度化した半導体装置を実現していた。

【0003】以下、図面を参照して従来の半導体装置の構造を説明する。図14は、従来の半導体装置を示す断面図である。

【0004】図14に示すように、表面の電極パッド（図示せず）に突起電極としてバンパ電極1の形成された半導体素子（マイコンチップなど）2が、その主面側を下にして、支持体であるセラミックを絶縁基板とした多層回路基板よりなる半導体用キャリア3に接合されている。また半導体素子2上に形成されたバンパ電極1と半導体用キャリア3上の複数の電極4とが半田あるいは、導電性接着剤5により接合されている。そして、接合された半導体素子2と半導体用キャリア3との隙間には絶縁性のエポキシ系の封止樹脂6が充填被覆されている。

【0005】なお、半導体用キャリア3は、その裏面に外部端子7を有し、電極4と外部端子7とは半導体用キャリア3内に形成されたビア（図示せず）により内部接続された多層配線基板である。

【0006】

【発明が解決しようとする課題】しかしながら前記従来の半導体装置の構造では、1チップ構造であり、近年要望される多機能の半導体装置に対応できないものである。すなわち、1パッケージ1チップの構造であるため、1つの機能しか果たせず、今後の多様化する半導体装置部品への対応、搭載装置での部品点数の低減とそれによる電子機器の小型化、軽量化に対応できないという課題があった。

【0007】本発明は、前記従来の課題を解決するもので、複数の機能を1パッケージで実現するために、複数の半導体素子が三次元で実装され、高密度実装化された半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記課題を解決するために本発明の半導体装置は、絶縁性基板に対して電氣的に接続された第1の半導体素子と、少なくとも、前記第1の半導体素子の上部に接着された第2の半導体素子と第3の半導体素子とによる第1の積層体と、前記第1の積層体の前記第3の半導体素子の上部に接着された第4の半導体素子と第5の半導体素子とによる第2の積層体と、前記第1の積層体と前記絶縁性基板とを接続した第1の金属細線と、前記第2の積層体と前記絶縁性基板と

を接続した第2の金属細線と、前記第1の積層体、第2の積層体の外周を被覆した封止樹脂とよりなる半導体装置である。

【0009】具体的には、絶縁性基板と第1の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在している半導体装置である。

【0010】また、第1の積層体を構成している第2の半導体素子と第3の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在している半導体装置である。

【0011】また、第2の積層体を構成している第4の半導体素子と第5の半導体素子との間隙には封止樹脂とは別に形成された樹脂が介在している半導体装置である。

【0012】また、第1の金属細線は第2の金属細線よりも絶縁基板の内側で接続されている半導体装置である。

【0013】また、第1の構成体は、第3の半導体素子の主面がバンパ電極を介して第2の半導体素子の主面に接続された構成体である半導体装置である。

【0014】また、第2の構成体は、第5の半導体素子の主面がバンパ電極を介して第4の半導体素子の主面に接続された構成体である半導体装置である。

【0015】また、絶縁性基板は、回路構成された半導体用キャリアであって、その上面に複数の電極と配線パターンを有するとともに、前記電極と電氣的に接続された外部電極をその底面に有している半導体装置である。

【0016】また、第1の積層体と絶縁性基板とを接続した第1の金属細線は、前記第1の積層体の第2の半導体素子と絶縁性基板とを接続している半導体装置である。

【0017】また、第2の積層体と絶縁性基板とを接続した第2の金属細線は、前記第2の積層体の第4の半導体素子と絶縁性基板とを接続している半導体装置である。

【0018】また、第2の積層体の第5の半導体素子の上部には、さらに、第6の半導体素子と第7の半導体素子とによる第3の積層体が接着されている半導体装置である。

【0019】本発明の半導体装置の製造方法は、第1の半導体素子の上面の電極に対してバンパ電極を形成し、前記第1の半導体素子とそのバンパ電極を介して絶縁性基板に接続する工程と、第2の半導体素子の上面の電極に対して、第3の半導体素子の上面の電極に形成されたバンパ電極を接続して、第1の積層体を形成する工程と、第4の半導体素子の上面の電極に対して、第5の半導体素子の上面の電極に形成されたバンパ電極を接続して、第2の積層体を形成する工程と、絶縁性基板に接続した前記第1の半導体素子の上部に前記形成した第1の積層体を接着する工程と、前記第1の積層体の上部に前

記形成した第2の積層体を接着する工程と、前記第1の積層体と前記絶縁性基板とを第1の金属細線で電気的に接続する工程と、前記第2の積層体と前記絶縁性基板とを第2の金属細線で電気的に接続する工程と、前記第1の積層体、第2の積層体を実装された絶縁性基板の上面を封止樹脂でそれらを被覆するように封止する工程とよりなる半導体装置の製造方法である。

【0020】具体的には、第1の半導体素子の上面の電極に対してバンパ電極を形成し、前記第1の半導体素子をそのバンパ電極を介して絶縁性基板に接続する工程では、第1の半導体素子と絶縁性基板との間隙に樹脂を介在させる半導体装置の製造方法である。

【0021】また、第2の半導体素子の上面の電極に対して、第3の半導体素子の上面の電極に形成されたバンパ電極を接続して、第1の積層体を形成する工程では、第2の半導体素子と第3の半導体素子との間隙に樹脂を介在させる半導体装置の製造方法である。

【0022】また、第4の半導体素子の上面の電極に対して、第5の半導体素子の上面の電極に形成されたバンパ電極を接続して、第2の積層体を形成する工程では、第4の半導体素子と第5の半導体素子との間隙に樹脂を介在させる半導体装置の製造方法である。

【0023】また、第1の積層体の上部に第2の積層体を接着する工程の後に、さらに第6の半導体素子の上面の電極に対して、バンパ電極により第7の半導体素子が接続された第3の積層体を接着する工程を有し、第2の積層体と絶縁性基板とを第2の金属細線で電気的に接続する工程の後に、第3の積層体と絶縁性基板とを第3の金属細線で電気的に接続する工程を有している半導体装置の製造方法である。

【0024】前記構成の通り、本発明の半導体装置は、特に第1の半導体素子の上部に対して、COC (Chip On Chip) 構造により2つの半導体素子が1ペアで構成された積層体を接着し、積層体を各々三次元で積層実装された構造を有し、5チップ以上の多チップ構造による多機能を実現し、高密度実装型の半導体装置である。

【0025】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法の一実施形態について図面を参照しながら説明する。

【0026】図1は本実施形態の半導体装置を示す図であり、図1(a)は断面図であり、図1(b)は開封状態の平面図である。

【0027】図示するように、本実施形態の半導体装置は、絶縁性基板8に対してフェースダウンで金(Au)やハンダよりなるバンパ電極9により電気的に接続された第1の半導体素子10と、第1の半導体素子10の上部にダイボンドペースト、接着シート等の接着部材11により接着された第2の半導体素子12と第3の半導体

素子13とによる第1の積層体と、第1の積層体の第3の半導体素子13の上部にダイボンドペースト、接着シート等の接着部材11により接着された第4の半導体素子14と第5の半導体素子15とによる第2の積層体と、第1の積層体の第2の半導体素子12の電極と絶縁性基板8上面の電極16とを電気的に接続した第1の金属細線17と、第2の積層体の第4の半導体素子14の電極と絶縁性基板8上面の電極18とを電気的に接続した第2の金属細線19と、絶縁性基板8の上面であって、第1の積層体、第2の積層体の外周を被覆したエポキシ系の絶縁性の封止樹脂20とよりなる半導体装置である。また第1の金属細線17は第2の金属細線19よりも絶縁性基板8面内の内側で接続されているものである。したがって、絶縁性基板8の上面に設けられた電極において、電極16は電極18よりも内側に配列されているものである。

【0028】そして本実施形態の半導体装置は、絶縁性基板8と第1の半導体素子10、第2の半導体素子12と第3の半導体素子13、第4の半導体素子14と第5の半導体素子15の各間隙は、封止樹脂20とは別形成で介在した樹脂21を有しているものである。この素子間の樹脂21により、封止樹脂20による最終封止での未充填ボイドの発生を防止し、高密度実装での信頼性を得ることができる。

【0029】また第1の積層体を構成している第2の半導体素子12と第3の半導体素子13とは、バンパ電極9により互いに主面どうしが接続されるCOC構造を有しており、同様に第2の積層体を構成している第4の半導体素子14と第5の半導体素子15とは、バンパ電極9により互いに主面どうしが接続されるCOC構造を有している。なお、本実施形態では、半導体素子と半導体素子との間はバンパ電極9を介して接続した構造としているが、バンパ電極9を介さず素子間を電気的に接続してもよい。この場合、素子間に樹脂21を介さなくともよい。

【0030】本実施形態において、例えば、第1の半導体素子10はロジックチップ、第2の半導体素子12はアナログ高周波チップ、第3の半導体素子13はメモリチップ、第4の半導体素子14はマイコンチップ、第5の半導体素子15は電圧変換チップであり、第1～第5の半導体素子により多機能のチップ積層体を構成している。

【0031】また、絶縁性基板8は、回路構成された半導体用キャリアであって、上面に複数の電極16、18と配線パターン(図示せず)を有するとともに、電極16、18の各々と基板内部のビア、スルーホール等の内部配線で電気的に接続された外部電極22を底面に有しているものである。

【0032】さらに本実施形態では、応用構造として、第2の積層体の第5の半導体素子15の上部には、さら

に、同様なCOC構造で第6の半導体素子と第7の半導体素子とによる第3の積層体を接着することも可能であり、絶縁性基板8との金属細線による電気的な接続を行うことにより、さらに高密度多機能性を高めることができる。

【0033】したがって本実施形態の半導体装置は、複数の半導体素子が積層されて、回路構成された基板に実装されたものであり、1パッケージで多機能の半導体装置である。

【0034】本実施形態の半導体装置の特徴としては、第1の半導体素子10の上部に対して、COC構造により2つの半導体素子が1ペアで構成された積層体が接着され、積層体を各々三次元で積層実装された構造を有し、5チップ以上の多チップ構造による多機能を実現し、高密度実装型の半導体装置である。

【0035】なお、本実施形態では搭載している半導体素子の厚みとしては、通常の厚みとして概ね200[μm]前後の厚みのものを採用しているが、50[μm]厚の薄型の半導体素子を用いることもでき、薄型の半導体装置を実現できる。また絶縁性基板8としては、樹脂基板、セラミック基板、テープ基板等、回路構成され、外部との信号接続が可能な基板であればよい。

【0036】次に本実施形態の半導体装置の製造方法について図面を参照しながら説明する。

【0037】図2～図13は本実施形態の半導体装置の製造方法を示す工程ごとの断面図である。

【0038】まず図2に示すように、第3の半導体素子13の主面の電極上にバンパ電極9を形成する。ここで形成するバンパ電極9は、メッキバンパ、ワイヤーボンダ法を用いたボールバンパなどいずれのバンパ電極でもよく、材質も金(Au)、ハンダでもよい。また高さは50[μm]程度の数10[μm]でよい。

【0039】次に図3に示すように、別に用意した第2の半導体素子12の上面の電極に対して、第3の半導体素子13の上面の電極に形成されたバンパ電極9を接続するとともに、第2の半導体素子12と第3の半導体素子13との間隙に樹脂21を介在させて両者を接続し、第1の積層体23を形成する。両者の間隙への樹脂の介在は、第2の半導体素子12上面に樹脂を形成した後、第3の半導体素子13をそのバンパ電極9を下側にしてフリップチップ実装する方法、また第2の半導体素子12と第3の半導体素子13とを接続した後に樹脂を注入する方法、いずれでもよいが、樹脂の未充填ボイドを防止する。

【0040】次に図4に示すように、第1の半導体素子10の主面の電極上にバンパ電極9を形成する。ここで形成するバンパ電極9は、同様にメッキバンパ、ワイヤーボンダ法を用いたボールバンパなどいずれのバンパ電極でもよく、材質も金(Au)、ハンダでもよい。また高さは50[μm]程度の数10[μm]でよい。

【0041】次に図5に示すように、回路構成され、上面に複数の電極と配線パターンを有するとともに、電極の各々と基板内部のビア、スルーホール等の内部配線で電気的に接続された外部電極22を底面に有している絶縁性基板8の電極に対して、第1の半導体素子10をフェースダウンによりバンパ電極9で接続する。この場合も、前記同様に、第1の半導体素子10と絶縁性基板8との間隙に樹脂21を介在させて両者を接続する。

【0042】次に図6、図7に示すように、絶縁性基板8に実装された第1の半導体素子10の底面に対して、前工程で形成した第1の積層体23の第2の半導体素子12の底面を接着部材11で接着する。この段階で3チップが三次元で積層実装された構造を得る。

【0043】次に図8に示すように、同様にして、第5の半導体素子15の主面の電極上にバンパ電極9を形成する。ここで形成するバンパ電極9は、メッキバンパ、ワイヤーボンダ法を用いたボールバンパなどいずれのバンパ電極でもよく、材質も金(Au)、ハンダでもよい。また高さは50[μm]程度の数10[μm]でよい。

【0044】次に図9に示すように、別に用意した第4の半導体素子14の上面の電極に対して、第5の半導体素子15の上面の電極に形成されたバンパ電極9を接続するとともに、第4の半導体素子14と第5の半導体素子15との間隙に樹脂21を介在させて両者を接続し、第2の積層体24を形成する。両者の間隙への樹脂21の介在は、第4の半導体素子14上面に樹脂を形成した後、第5の半導体素子15をそのバンパ電極9を下側にしてフリップチップ実装する方法、また第4の半導体素子14と第5の半導体素子15とを接続した後に樹脂を注入する方法、いずれでもよいが、樹脂の未充填ボイドを防止する。

【0045】次に図10に示すように、絶縁性基板8に実装された第1の積層体の第3の半導体素子13の底面に対して、前工程で形成した第2の積層体24の第4の半導体素子14の底面を接着部材11で接着する。この段階で5チップが三次元で積層実装された構造を得る。

【0046】次に図11に示すように、第1の積層体を構成している第2の半導体素子12と絶縁性基板8の上面の電極とを金属細線17で電気的に接続する。

【0047】次に図12に示すように、第2の積層体を構成している第4の半導体素子14と絶縁性基板8の上面の電極とを金属細線19で電気的に接続する。

【0048】ここで本実施形態では、第1の金属細線17は第2の金属細線19よりも絶縁基板8の内側で接続されるため、金属細線どうしの接触を防止し、また金属細線接続の効率を向上させ、高密度実装を実現することができる。

【0049】そして図13に示すように、第1の半導体素子10、第1の積層体、第2の積層体が実装された絶

緑性基板8の上面を封止樹脂20でそれらを被覆するように封止することにより、図1に示したような1パッケージ多機能型の高密度半導体装置を得るものである。

【0050】そして本実施形態では、さらに第1の積層体の第3の半導体素子3の上部に第2の積層体24を接着する工程の後に、さらに第6の半導体素子の上面の電極に対して、バンパ電極により第7の半導体素子が接続された第3の積層体を接着する工程を有してもよく、半導体素子の面積の選定によって、複数段で積層できるものである。勿論、適宜、各積層体と絶縁性基板とを金属細線で電氣的に接続する工程を付加するものである。

【0051】また本実施形態では、半導体素子の厚みを薄厚としているが、目的とする厚みで構成できる。また各半導体素子の厚みをすべて同一厚みとする必要はなく、半導体素子の機能、実装強度、信頼性に応じて適宜、厚みは設定できるものである。

【0052】なお、第1の積層体、第2の積層体を形成する場合、半導体ウェハー基板状態で形成することもできる。

【0053】以上、本実施形態の半導体装置は、第1の半導体素子の上部に対して、少なくとも第2の半導体素子と第3の半導体素子、および第4の半導体素子と第5の半導体素子とが各々COC構造で実装され、それらの積層体が一体で三次元積層された構造を有し、多チップ構造による多機能を実現し、高密度実装型の半導体装置である。

【0054】なお、本実施形態の説明では、半導体素子を回路構成されたキャリア基板等の絶縁性基板に実装したタイプの半導体装置に対して適用した例を示したが、第1の半導体素子がリードフレームに搭載され、電氣的接続後、外囲を封止樹脂で封止したQFP (Quad Flat Package) 型の半導体装置のパッケージ部、QFN (Quad Flat Non-lead ed Package) 型の半導体装置のパッケージ部に対しても適用することにより、高密度積層型の半導体装置の効果を得るものである。

【0055】

【発明の効果】以上説明したように、本発明の半導体装置は、少なくとも、第1の半導体装置の上部に対して、第2の半導体素子と第3の半導体素子、および第4の半導体素子と第5の半導体素子とが各々COC構造で実装され、それらの積層体が一体で三次元積層された構造を有し、多チップ構造による多機能を実現し、高密度実装型の半導体装置を実現できるものである。また搭載する半導体素子を薄厚にすることにより、小型化に加えて、薄厚で多機能を実現できるものである。

【0056】さらに半導体装置の製造方法においては、半導体ウェハー状態、または積層体を形成した後での一括の実装が可能であり、製造効率を高めることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す断面図

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図5】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図6】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図7】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図8】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図9】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図10】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図11】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図12】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図13】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図14】従来の半導体装置を示す断面図

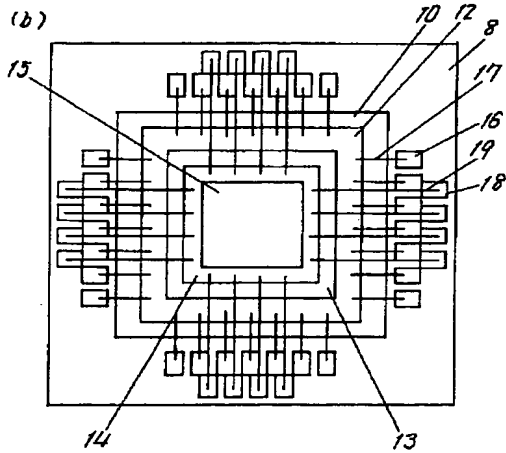
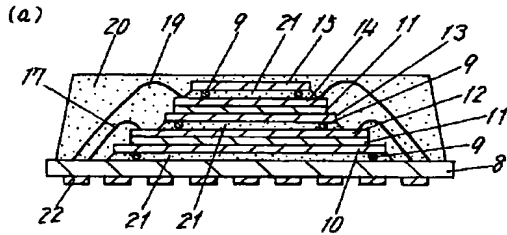
【符号の説明】

- 1 バンパ
- 2 半導体素子
- 3 半導体用キャリア
- 4 電極
- 5 導電性接着剤
- 6 封止樹脂
- 7 外部端子
- 8 絶縁性基板
- 9 バンパ電極
- 10 第1の半導体素子
- 11 接着部材
- 12 第2の半導体素子
- 13 第3の半導体素子
- 14 第4の半導体素子
- 15 第5の半導体素子
- 16 電極
- 17 第1の金属細線
- 18 電極
- 19 第2の金属細線
- 20 封止樹脂
- 21 樹脂
- 22 外部電極

23 第1の積層体

24 第2の積層体

【図1】



【図3】



【図7】



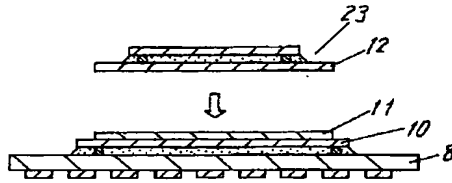
【図11】



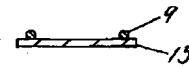
【図2】



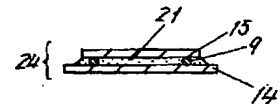
【図6】



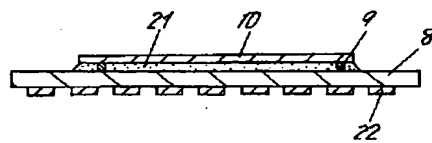
【図8】



【図9】



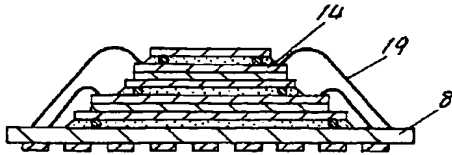
【図5】



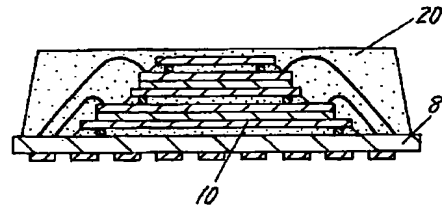
【図10】



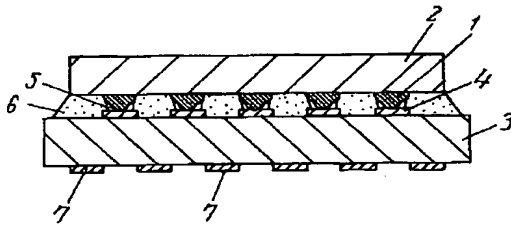
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷
H01L 23/50
23/52

識別記号

F I

テ-マ-ド' (参考)